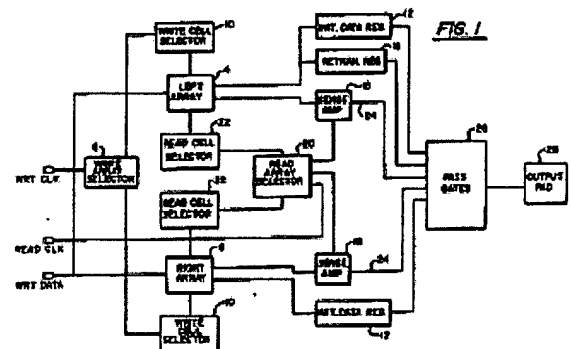


Patent number: DE4019135
Publication date: 1990-12-20
Inventor: FRONIEWSKI JOZEF (US); JEFFERSON DAVID E (US)
Applicant: SAMSUNG SEMICONDUCTOR INC (US)
Classification:
- **International:** G11C7/00
- **European:** G06F5/06M; G06F7/00C2C; G06F12/02C
Application number: DE19904019135 19900613
Priority number(s): US19890367362 19890616

JP3130983 (A)
GB2232797 (A)

In a FIFO (or LIFO) buffer memory, reading and outputting of stored data elements are pipelined by look-ahead reading in the read cycle corresponding to a present request a memory cell containing the data element to be next requested. But the data so read in advance is not outputted until the read cycle corresponding to that subsequent request. The first data element written into the serial memory is stored in an initial data register 12. Upon the first read request, that first data element is outputted from the initial data register. A first and a second memory array 4, 6 are provided for alternately storing successive ones of data elements written into the buffer memory. While a presently requested data element from the first array is being outputted, a memory cell in the second array, which contains the next data element to be requested, is selected and sensed, and that sensed value is placed on an output line. Upon receipt of the next request, the value maintained on that output line is outputted, and a memory cell in the first array, which contains the next data element to be requested, is selected and sensed, and that sensed value is placed on an output line. And so on.



3/7/2005



DEUTSCHES
PATENTAMT

②1 Aktenzeichen: P 40 19 135.4
②2 Anmeldetag: 13. 6. 90
④3 Offenlegungstag: 20. 12. 90

DE 40 19 135 A 1

③0 Unionspriorität: ③2 ③3 ③1
16.06.89 US 367362

⑦1 Anmelder:
Samsung Semiconductor, Inc., San Jose, Calif., US

⑦4 Vertreter:
Uexküll, Frhr. von, J., Dipl.-Chem. Dr.rer.nat.;
Stolberg-Wernigerode, Graf zu, U., Dipl.-Chem.
Dr.rer.nat.; Suchantke, J., Dipl.-Ing.; Huber, A.,
Dipl.-Ing.; Kameke, von, A., Dipl.-Chem. Dr.rer.nat.;
Voelker, I., Dipl.-Biol.; Franck, P., Dipl.-Chem.ETH
Dr.sc.techn., Pat.-Anwälte, 2000 Hamburg

⑦2 Erfinder:
Froniewski, Jozef, Palo Alto, Calif., US; Jefferson,
David E., Milpitas, Calif., US

⑤4 Serieller Speicher auf RAM-Basis mit parallelem Voraus-Lesen

Die Erfindung betrifft eine Vorrichtung und ein Verfahren, mit dem die Zugriffszeit in einem seriellen, RAM-basierten FIFO-Puffer-Speicher dadurch reduziert wird, daß Ausgabe- und Lese-Operationen parallel durchgeführt werden. Auf einen aktuellen Lesebefehl hin und in dem dadurch ausgelösten Lesezyklus wird das angeforderte Datenelement ausgegeben und parallel dazu bereits im Voraus das von dem nächsten Lesebefehl anzufordernde Datenelement ausgelesen bzw. die das Datenelement enthaltende Speicherzelle ausgewählt. Das erste in den Speicher geschriebene Datenelement wird in einem Anfangsdatenregister gespeichert und aus diesem beim Eintreffen des ersten Lesebefehls ausgegeben. Es stehen zwei Speichermatrizen zur Verfügung, in denen die Datenelemente einer Folge alternierend abgespeichert werden. Während ein aktuell angefordertes Datenelement aus der ersten Matrix ausgegeben wird, wird die Speicherzelle des nächsten Datenelements in der anderen Matrix ausgewählt, ausgelesen und auf eine Ausgabeleitung gelegt, von der es beim Eintreffen des nächsten Lesebefehls ausgegeben wird. Auf diese Weise wird in einem seriellen Puffer-Speicher ein zeitsparendes Voraus-Lesen durch Parallelisierung der Lese-Operationen realisiert.

DE 40 19 135 A 1

Die Erfindung betrifft einen seriellen Speicher gemäß Oberbegriff des Patentanspruchs 1 sowie ein Verfahren gemäß Oberbegriff des Patentanspruchs 10.

Derartige Speicher finden häufig als Puffer-Speicher Verwendung, die zur Anpassung von Komponenten mit unterschiedlicher Datenrate dienen, indem sie Datenelemente mit einer bestimmten Rate aufnehmen und die Datenelemente in derselben Reihenfolge, in der sie abgespeichert wurden, mit einer anderen Rate wieder ausgeben. Allgemein lassen sich zwei Typen von Puffer-Speichern unterscheiden. Der eine Typ beruht auf dem Verschieben von Datenelementen durch eine Kette von Speicherzellen, d.h. auf dem Prinzip des Ringschieberegisters. Der andere Typ basiert auf Speichern mit wahlfreiem Zugriff, d.h. RAM-Speichern, die kein Verschieben von Datenelementen erfordern. Die vorliegende Erfindung betrifft den letzteren Typ der RAM-basierten seriellen Speicher. Bei herkömmlichen Puffer-Speichern dieser Art ist der Zeitbedarf eines Lesevorgangs hoch, da eine bestimmte Speicherzelle, die das angeforderte Datenelement enthält, ausgewählt werden muß (Aktivieren der Speicherzelle und Ausgabe auf die Bitleitung) und das von der Speicherzelle abgegebene Signal mit einem Verstärker zur Ausgabe aufbereitet werden muß. Somit haben die im Stand der Technik bekannten Systeme eine hohe Zugriffszeit.

Aufgabe der Erfindung ist die Schaffung eines seriellen Speichers und eines Verfahrens mit reduzierter Zugriffszeit zur Ausgabe von Datenelementen.

Zur Lösung dieser Aufgabe dient ein Speicher der eingangs genannten Art mit den kennzeichnenden Merkmalen des Patentanspruchs 1 bzw. 10.

Erfindungsgemäß wird während des Speicher-Lesezyklus, der einem aktuellen Lesebefehl für ein Datenelement in dem seriellen Speicher zugeordnet ist, die Lese-Operation für die Speicherzelle mit dem auf den nächsten Lesebefehl auszugebenden Datenelement eingeleitet und so parallel zum aktuellen Lesezyklus bereits die Speicherzelle des vom nächsten Lesebefehl angeforderten Datenelements ausgewählt. In einer spezielleren Ausführungsform wird die Speicherzelle mit dem im nächsten Zyklus anzufordernden Datenelement ausgelesen und schon im aktuellen Lesezyklus bereitgestellt. Daher kann in der bevorzugten Ausführungsform das aktuell angeforderte Datenelement ausgegeben werden, ohne daß die Speicherzelle mit diesem Datenelement ausgewählt oder ausgelesen werden müßte. Ferner ist der serielle Puffer-Speicher in der bevorzugten Ausführungsform als FIFO-Speicher (FIFO = First-In-First-Out) ausgelegt. Durch Parallelisierung realisiert die Erfindung ein vorteilhaftes Voraus-Lesen einer Speicherzelle noch bevor der Lese-Befehl für das in dieser Speicherzelle enthaltene Datenelement eintrifft.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert. Es zeigen:

Fig. 1 eine Übersicht des Gesamtsystems entsprechend der bevorzugten Ausführungsform der Erfindung;

Fig. 2A, 2B, 2C Schaltungen zur Realisierung des Schreib- oder Lese-Zellenselektors aus Fig. 1;

Fig. 3A, 3B jeweils eine Speicherzelle mit zwei Anschlüssen zur Verwendung in einer Speichermatrix in Fig. 1;

Fig. 4 eine direkte Verbindung über die Speichermatrix für ein abzuspeicherndes Datenelement zu einem Anfangsdatenregister;

Fig. 5A, 5B jeweils Schaltungen zur Erzeugung eines Statussignals, das Informationen über den Zustand des Puffer-Speichers anzeigt;

Fig. 6 eine Steuerschaltung, die Steuersignale für die Torschaltungen und Register in Fig. 1 erzeugt;

Fig. 7 Aufbau der Steuerschaltung aus Fig. 6;

Fig. 8 eine Schaltung zum Zurücksetzen des Lese-Zellenselektors auf ein Zurücksetzsignal hin;

Fig. 9 eine Schaltung zum Zurücksetzen des Lese-Zellenselektors auf ein Zurücksetzsignal hin;

Fig. 10A bis 10F Wahrheitstabellen für die Einheiten RTR, SEL, INDW, INIT 1, RTW und INDR aus Fig. 7.

In Fig. 1 ist ein Puffer-Speicher 2 in einer bevorzugten Ausführungsform gemäß der Erfindung gezeigt. Dabei handelt es sich um einen FIFO-Puffer-Speicher und daher werden die Datenelemente in derselben Reihenfolge ausgegeben, in der sie vorher in den Puffer-Speicher geschrieben wurden. Es gibt eine linke Speichermatrix 4 und eine rechte Speichermatrix 6, die gleich aufgebaut sind und gleiche Anzahlen von Zeilen und Spalten haben. Beispielsweise möge jede Matrix vier Spalten mit einer Tiefe von je 128 Speicherzellen bilden, wobei jede Speicherzelle ein Datenelement von 9 Bit aufzunehmen vermag.

Im folgenden wird die Schreib-Operation im Puffer-Speicher erläutert. In jedem Schreibzyklus wird alternierend eine der beiden Speichermatrizen zum Abspeichern eines entsprechenden Datenelements aktiviert und innerhalb der jeweiligen Speichermatrix in einer durch eine vorgegebene Reihenfolge festgelegte Speicherzelle abgespeichert. Beispielsweise wird in einer Reihe aufeinanderfolgender Datenelemente das erste in Zelle 1 der linken Speichermatrix gespeichert, das nächste in Zelle 1 der rechten Matrix, das nächste in Zelle 2 der linken Matrix, das nächste in Zelle 2 der rechten Matrix, das nächste in Zelle 3 der linken Matrix, das nächste in Zelle 3 der rechten Matrix usw. Die Auswahl einer Speichermatrix zum Abspeichern wird von einem Schreib-Matrixselektor 8 durchgeführt. Durch ein Schreibsignal auf der Schreibtaktleitung WRT CLK wird ein Schreibzyklus für ein bestimmtes Datenelement definiert, das über die WRT DATA-Leitung in den Puffer-Speicher geschrieben wird; der Schreib-Matrixselektor 8 wird durch das Schreibsignal aktiviert und wählt auf jedes Schreibsignal hin alternierend eine der beiden Speichermatrizen aus. Der Schreib-Matrixselektor kann auf verschiedene Weise aufgebaut werden, z.B. unter Benutzung von Dividier- oder Zählerschaltungen, Schieberegistern oder bistabilen Kippstufen (Flip-Flops, wie im Fall der hier beschriebenen Ausführungsform) etc.; jede beliebige Schaltung, die in aufeinanderfolgenden Schreibzyklen abwechselnd die rechte und linke Matrix auswählt, kann als Schreib-Matrixselektor dienen. Die Auswahl einer Zelle zum Schreiben wird von den Schreib-Zellenselektoren 10 durchgeführt, von denen je einer den beiden Speichermatrizen zugeordnet ist. Der Aufbau des Schreib-Zellenselektors wird weiter unten beschrieben; seine Funktion besteht darin, in der zugehörigen Matrix eine Zelle nach einer vorgegebenen Reihenfolge auszuwählen, wenn die zugehörige Matrix durch den Schreib-Matrixselektor ausgewählt ist. Jede Matrix ist mit einem zugehörigen Anfangsdatenregister 12 über eine Schreibdatenleitung WRT DATA verbunden, die durch die Matrix hindurchläuft; die WRT DATA-Leitungen übertragen die Datenelemente zur Abspeicherung in den Speichermatrizen. Die Anfangsdatenregister 12 werden jeweils durch die Signale IDWL und IDWR aus einer Steuerschaltung 14 angesprochen

und zur Aufnahme und Abspeicherung des ersten Elements einer Folge von Datenelementen veranlaßt, die in den Puffer-Speicher in die durch den Schreib-Matrixselektor 8 ausgewählte Speichermatrix geschrieben wird. Dieses erste Datenelement wird in das jeweilige Anfangsdatenregister mit der WRT DATA-Leitung übertragen, die direkt durch die jeweilige Speichermatrix läuft. Wenn beispielsweise der Matrixselektor 8 mit der linken Matrix beginnt, so wird das in Zelle 1 der linken Matrix abzuspeichernde Datenelement über die WRT DATA-Leitung auch in das mit der linken Matrix verbundene Anfangsdatenregister übertragen und dort gespeichert. Wenn der Matrixselektor 8 mit der rechten Matrix beginnt, so wird entsprechend das in Zelle 1 der rechten Matrix abzuspeichernde Datenelement über die WRT DATA-Leitung auch in das mit der rechten Matrix verbundene Anfangsdatenregister übertragen und dort gespeichert.

In einer abgewandelten Ausführungsform wird das Datenelement nur in das Anfangsdatenregister 12 geschrieben und nicht auch in eine Speicherzelle. In einer weiteren Ausführungsform wird das erste Datenelement über eine gesonderte Leitung in das Anfangsdatenregister übertragen, die nicht durch die Speichermatrix verläuft. Es sei aber angemerkt, daß die durch die Speichermatrix durchlaufende Verbindung die Anforderung an den Datenbus und unerwünschte Aufladungseffekte vermindert. In einer weiteren Ausführungsform wird nur ein Anfangsdatenregister verwendet, das mit beiden Speichermatrizen verbunden ist.

Ein Übertragungsregister 16 wird mit der von dem Matrixselektor 8 als erstes auszuwählenden Speichermatrix verbunden. In Fig. 1 ist das Übertragungsregister beispielsweise mit der linken Speichermatrix 4 verbunden dargestellt. Das Übertragungsregister wird durch ein Signal RTW aus der Steuerschaltung 14 zur Aufnahme und Abspeicherung eines Datenelements veranlaßt, das in der linken Matrix gespeichert werden soll. In dieser Ausführungsform wird das abzuspeichernde Datenelement vom Übertragungsregister von derselben Leitung aufgenommen, die das Datenelement zum Anfangsdatenregister derselben Matrix überträgt. In einer abgewandelten Ausführungsform wird auf das Übertragungsregister und seine Funktion gänzlich verzichtet.

Es werden nun die Lese-Operationen des Puffer-Speichers anhand der in Fig. 1 dargestellten Ausführungsform erläutert. Da es sich bei dem Puffer-Speicher 2 um einen FIFO-Speicher handelt, werden die Datenelemente in derselben Reihenfolge aus dem Speicher ausgegeben, mit der sie in den Speicher hineingeschrieben wurden.

In jedem Lesezyklus wird eine Speicherzelle aus abwechselnd einer der Speichermatrizen ausgewählt und das darin enthaltene Datenelement ausgelesen. Das aus der Speicherzelle ausgelesene Datenelement ist jedoch nicht das in dem aktuellen Lesezyklus auszugebende, sondern das in dem nächstfolgenden Lesezyklus auszugebende Datenelement. Da das Lesen einer Speicherzelle die Auswahl der Zelle (Aktivieren der Speicherzelle zur Ausgabe des gespeicherten Signals auf die Datenleitungen) und das Auslesen des Signals mit einem Leseverstärker erfordert, wird zum Lesen einer Speicherzelle mehr Zeit verbraucht als zur einfachen Ausgabe eines Datenelements aus einem Register oder einer Ausgabeleitung. Der Puffer-Speicher 2 arbeitet dadurch parallel, daß im voraus die als nächste angeforderte Speicherzelle ausgelesen wird und dadurch das Datenelement bereits auf einer Ausgabeleitung zur Verfügung

steht, bevor der zugehörige Lesezyklus durch einen Lesebefehl für dieses Datenelement eingeleitet wird. Die Auswahl und Auslese einer Speicherzelle, die ein aktuell angefordertes Datenelement enthält, sind bereits während des vorigen Lesezyklus durchgeführt, der dem durch den aktuellen Lesebefehl eingeleiteten unmittelbar vorausgeht. Auf diese Weise wird der gesamte Lesevorgang für ein Datenelement im voraus durchgeführt und es steht auf einer Ausgabeleitung zur Verfügung, wenn der Lesebefehl für dieses Datenelement eintrifft.

In abgewandelten Ausführungsformen kann das aus einer Speicherzelle ausgelesene Datenelement in einem Register oder einem Flip-Flop gespeichert werden, anstatt es auf einer Ausgabeleitung zu halten. In einer weiteren abgewandelten Ausführungsform kann die parallele Voraus-Operation auf das Auswählen der Speicherzelle, die das nächste Datenelement enthält, beschränkt sein, während das Auslesen der Speicherzelle erst nach Eintreffen des Lesebefehls für dieses Datenelement ausgeführt wird.

In der bevorzugten Ausführungsform kann das erste Datenelement, da es bereits in dem Anfangsdatenregister 12 gespeichert ist, ausgegeben werden, ohne daß ein vorhergehender Lesezyklus erforderlich wäre. Dann wird jedes nachfolgende Datenelement in dem Lesezyklus ausgelesen, der dem von seinem Lesebefehl eingeleiteten unmittelbar vorausgeht. Jede Speichermatrix ist mit einem Leseverstärker 18 verbunden, der sich aus einer Reihe einzelner Verstärker für jedes Bit des Datenelements zusammensetzt. Die Auswahl einer Speichermatrix zur Auslese einer Speicherzelle daraus wird von einem Lese-Matrixselektor 20 durchgeführt. Der Lese-Matrixselektor kann genauso wie der Schreib-Matrixselektor auf viele verschiedenen Weisen aufgebaut werden. In der hier beschriebenen Ausführungsform, wird die Funktion durch ein Flip-Flop realisiert. Der Lese-Matrixselektor wird durch Lesesignale auf der Lesetaktleitung READ CLK angesprochen und zur alternierenden Auswahl der linken und rechten Speichermatrix in aufeinanderfolgenden Lesezyklen veranlaßt. Die Auswahl einer Matrixzelle zum Auslesen wird von den Lese-Zellenselektoren 22 durchgeführt, von denen je einer den beiden Speichermatrizen zugeordnet ist. Der Aufbau des Lese-Zellenselektors wird weiter unten beschrieben; seine Funktion besteht darin, in der zugehörigen Matrix eine Zelle nach der Reihenfolge, mit der die Datenelemente in den Speicher eingeschrieben wurden, auszuwählen, wenn die zugehörige Matrix durch den Lese-Matrixselektor für einen Lesevorgang ausgewählt ist. Jeder Leseverstärker 18 wird durch ein Signal aus dem Lese-Matrixselektor zur Auslese einer Zelle aktiviert, die durch den zugehörigen Lese-Zellenselektor 22 ausgewählt ist. Der Ausgabewert einer Speicherzelle wird durch die Leseverstärker auf zugehörige Ausgabeleitungen 24 übertragen. Die Ausgabeleitungen der Anfangsdatenregister 12, der Übertragungsregister 16 und die Ausgabeleitungen 24 der Leseverstärker 18 sind gesondert mit einer Anordnung von Torschaltungen 26 verbunden. Die Torschaltungen 26 werden durch die Steuerschaltung 14 (gezeigt in Fig. 6 und detaillierter in Fig. 7) gesteuert, um in jedem Lesezyklus nur eine ausgewählte Ausgabeleitung mit einem Ausgangstreiber 28 zu verbinden — entweder eines der Anfangsdatenregister, das Übertragungsdatenregister oder eine Ausgabeleitung.

Im ersten Lesezyklus wird das erste Datenelement aus dem Anfangsdatenregister ausgegeben, in das es

zuvor beim Abspeichern in den Puffer-Speicher geschrieben wurde. Ebenfalls wird im ersten Lesezyklus das als nächstes (d.h. im zweiten Lesezyklus) auszugebende Datenelement aus einer Speicherzelle in der anderen Speichermatrix, die der Matrix mit dem angeschlossenen Anfangsdatenregister mit dem ersten Datenelement gegenüberliegt, gelesen. Die erste Zelle dieser gegenüberliegenden Matrix wird während des ersten Lesezyklus ausgewählt und ausgelesen und das verstärkte Datensignal auf die Ausgabeleitung 24 gelegt. In jedem folgenden Lesezyklus wird dann das zuvor gelesene Datenelement über eine Ausgabeleitung 24 abgegeben, während das im folgenden Lesezyklus auszugebende Datenelement aus der nächsten Zelle der anderen Matrix gelesen wird, die der Matrix, aus der das in diesem Lesezyklus auszugebende Datenelement gelesen wurde, gegenüberliegt. So wird jeweils das nächste auszugebende Datenelement gelesen (Auswählen der Speicherzelle, Auslesen und Übertragen des verstärkten Signals auf einer Ausgabeleitung), während das im aktuellen Lesezyklus auszugebende über eine Ausgabeleitung abgegeben wird. Auf diese Weise ist ein parallel arbeitender FIFO-Puffer-Speicher mit Voraus-Lesen realisiert.

Fig. 2A zeigt einen seriellen Selektor, der zum Aufbau des Schreib-Zellenselektors 10 oder des Lese-Zellenselektors 22 in Fig. 1 verwendet werden kann. Der serielle Selektor umfaßt ein Ringschieberegister mit einem Schieberegister 30, das über eine Rückkopplungsleitung 32 geschlossen wird. Die Anzahl der Stufen des Schieberegisters entspricht der Anzahl der Zeilen in der Speichermatrix; jede Stufe des Schieberegisters ist einer bestimmten Zeile der Speichermatrix zugeordnet. Zu Beginn wird ein Bit in eine vorgegebene Position innerhalb des Schieberegisters 30 eingegeben und zeigt so auf eine bestimmte Zeile. Bei jedem Taktimpuls wird das Zeiger-Bit um eine Stufe innerhalb des Schieberegisters verschoben und zeigt so auf die nächste Zeile von Speicherzellen. In dem hier gewählten Beispiel umfaßt das Schieberegister 128 Stufen von 0 bis 127, die genau den Zeilen 0 bis 127 der Speichermatrix entsprechen. Außerdem ist die Rückkopplungsleitung mit einer Zähler/Dekodier-Kombination 32 verbunden. Für eine Speichermatrix mit 4 Spalten wird ein Zwei-Bit-Zähler benutzt, so daß der Dekodierer eine von vielen Spalten entsprechend des Zählerzustands auswählen kann. Jedemal wenn das Zeiger-Bit über die Rückkopplungsleitung 32 zurückgeführt wird, wird der Zwei-Bit-Zähler um eins heraufgezählt. So wählt das Ringschieberegister 30 zusammen mit der Zähler/Dekodier-Kombination 33 seriell alle Zellen der zugehörigen Speichermatrix aus, die 128 Zeilen und 4 Spalten von Speicherzellen aufweist.

Die Länge des Schieberegisters 30 wird durch die Anzahl der Zeilen der Speichermatrix festgelegt und die Dimensionierung der Zähler/Dekodier-Kombination bestimmt sich aus der Anzahl der Spalten der Speichermatrix.

In einer abgewandelten Ausführungsform kann die Anzahl der Stufen des Schieberegisters auch die Hälfte der Anzahl der Zellen der Speichermatrix betragen. In diesem Fall bezeichnet jede Stufe einen Satz von zwei Zeilen und ein weiterer Zeilenselektor wählt in aufeinanderfolgenden Zyklen jeweils eine der Zeilen aus. Ferner kann die Stufenanzahl des Schieberegisters zur Speichermatrixdimensionierung in weitere unterschiedliche Verhältnisse gesetzt werden, wenn ein zusätzlicher Zeilenselektor aus dem von der Schieberegisterstufe

bezeichneten Satz von Zeilen eine auswählt. Dieses abgewandelte Schema kann immer bei Benutzung eines Schieberegisters mit einem Zeiger-Bit Anwendung finden.

Fig. 2B zeigt einen alternativen seriellen Selektor, der zum Aufbau des Schreib-Zellenselektors 10 oder des Lese-Zellenselektors 22 in Fig. 1 verwendet werden kann. Der serielle Selektor enthält einen Mehr-Bit-Zähler 35, einen Zeilendekodierer 36 und einen Spaltendekodierer 38. Der Zähler 34 wird jedes Mal inkrementiert, wenn der serielle Selektor zur Auswahl einer Speicherzelle aktiviert wird. Die stellen-niedrigsten Bits werden zur Auswahl einer bestimmten Zeile in der Speichermatrix dekodiert, während die stellen-höheren Bits zur Auswahl einer bestimmten Spalte in der Speichermatrix dekodiert werden. Für eine Speichermatrix mit 128 Zeilen und 4 Spalten wird ein Neun-Bit-Zähler benötigt, wie in Fig. 2B gezeigt. Die 7 stellenniedrigsten Bits werden zur Zeilenauswahl und die zwei stellenhöchsten Bits zur Spaltenauswahl benutzt.

Fig. 2C zeigt einen weiteren seriellen Selektor, der zum Aufbau des Schreib-Zellenselektors 10 oder des Lese-Zellenselektors 22 in Fig. 1 verwendet werden kann. Ein erstes Schieberegister 15 wird durch eine Rückkopplungsleitung 17 geschlossen und zeigt mit seinen 128 Stufen jeweils auf eine der 128 Zeilen der Speichermatrix; ein zweites Ringschieberegister 18 mit 4 Stufen zeigt auf jeweils eine der vier Spalten der Matrix. Die Rückkopplungsleitung 17 des ersten Schieberegisters 15 ist so mit dem zweiten Schieberegister 18 verbunden, daß dieses aktiviert wird, jedes Mal wenn das Zeiger-Bit im Schieberegister 15 über die Rückkopplungsleitung 17 zurückgeführt wird. Mit dieser Anordnung wird im ersten Schieberegister 15 ein Zeiger-Bit für eine bestimmte Zeile und in dem zweiten Schieberegister 19 ein Zeiger-Bit für eine bestimmte Spalte der Speichermatrix zur Verfügung gestellt.

Bei allen oben beschriebenen seriellen Selektoren kann der Zustand des Selektors bei Aktivierung als Auswahl einer bestimmten Speicherzelle dienen. Als Alternative kann der Selektor, der bei Aktivierung in einen neuen Zustand übergeht, den neuen Zustand als bestimmte Auswahl darstellen.

Die vorliegende Erfindung benutzt Speicherzellen mit zwei Anschlüssen, um gleichzeitiges Schreiben und Lesen in dem FIFO-Puffer-Speicher zu ermöglichen. Der eine Anschluß wird benutzt, um Daten in die Speicherzelle zu schreiben, und ist darum mit der WRT DATA-Leitung verbunden. Der andere Anschluß wird zum Auslesen der Speicherzelle verwendet und ist darum mit einem Leseverstärker verbunden. Die Fig. 3A und 3B zeigen zwei von vielen Typen von Speicherzellen mit zwei Anschlüssen, die in der Erfindung benutzt werden können. Der Anschluß A ist mit der WRT DATA-Leitung verbunden dargestellt und der Anschluß B ist über eine Leseleitung READ DATA mit einem Leseverstärker (nicht gezeigt) verbunden. WL bezeichnet eine Signalleitung von dem Schreib-Zellenselektor 10 und RL eine Signalleitung von dem Lese-Zellenselektor 22 zur Aktivierung von Schreib- bzw. Lesefunktion.

In der bevorzugten Ausführungsform läuft die WRT DATA-Leitung durch die Speichermatrix hindurch, um weiter die Verbindung mit dem zugehörigen Anfangsdatenregister 12 herzustellen. Diese Verbindung ist in Fig. 4 dargestellt. Die Speicherzellen 40 haben Anschluß an die WRT DATA-Leitung, die sich aus einer Leitung für das Datensignal und einer Leitung für das Komplement-Datensignal zusammensetzt, die durch die

Speichermatrix hindurchlaufen und mit dem Anfangsdatenregister 12 verbunden sind.

Fig. 5A zeigt einen Statussignal-Generator 34, der Signale zur Anzeige bestimmter Zustände des Puffer-Speichers erzeugt. Zu den Bedingungen, die vom Statussignal-Generator überwacht werden, gehört der Leer-Zustand, d.h. keine Daten wurden in den Puffer-Speicher geschrieben wurden oder alle Daten bereits wieder ausgelesen; der Voll-Zustand wird angezeigt, wenn alle Zellen im Puffer-Speicher beschrieben und keine ausgelesen wurde; der Halbvoll-Zustand wird angezeigt, wenn mehr als die Hälfte der Zellen beschrieben und nicht ausgelesen wurden. Ein Schreibzähler 42 wird in jedem Schreibzyklus durch das Schreibsignal inkrementiert und ein Lesezähler 44 wird entsprechend durch das Lesesignal eines Lesezyklus inkrementiert. Ein Komparator 46 vergleicht die Zählstände der Zähler 42 und 44. Ist die Differenz Null, so wird der Leer-Zustand durch Erzeugung eines Signals EMPTY angezeigt; ist die Differenz gleich der gesamten Aufnahmefähigkeit des Puffer-Speichers, so wird der Voll-Zustand durch Erzeugung eines Signals FULL angezeigt; ist die Differenz größer als die Hälfte der Aufnahmefähigkeit des Puffer-Speichers, so wird der Halbvoll-Zustand durch Erzeugung eines Signals HFULL angezeigt. In einer weiteren Ausführungsform werden die Zählerstände der beiden Zähler durch einen Komparator auf Gleichheit überprüft und der Komparator registriert, wie oft die Gleichheit der beiden Zählerstände aufgetreten ist. Abhängig von dieser Zahl ist der Speicherzustand entweder weniger oder mehr als halbvoll. Alternativ können die EMPTY-, FULL- und HFULL-Statussignale durch einen Aufwärts-Abwärts-Zähler erzeugt werden, wie in Fig. 5B gezeigt. Der Aufwärts-Abwärts-Zähler 48 zählt auf ein Schreibsignal hin in eine Richtung und auf eine Lesesignal in die andere Richtung. So entspricht der Zählerstand der Anzahl der in den Puffer-Speicher geschriebenen Datenelemente, die noch nicht gelesen sind. Der Zähler ist mit einem Komparator 50 verbunden, der den Zählerstand mit verschiedenen vorgegebenen Werten vergleicht, um die verschiedenen Zustandssignale zu erzeugen. Die Statussignale können an die Steuerschaltung 14 in Fig. 1 weitergegeben werden, um bestimmte Funktionen auszulösen, wenn einer der im Puffer-Speicher überwachten Zustände erreicht wird. Die Statussignale können auch von dem Puffer-Speicher nach außen abgegeben werden.

In Fig. 6 ist die Steuerschaltung 14 mit ihren Eingangssignalen und den von ihr erzeugten Ausgabesignalen gezeigt. Es gibt fünf verschiedene Quellen von Eingangssignalen: Die Leitung RETRANS-MIT zur Eingabe eines externen Übertragungssignals, der Schreib-Matrixselektor 8 (tatsächlich gibt es zwei Eingangsleitungen, eine zum Anwählen der linken und eine zum Anwählen der rechten Speichermatrix, von denen nur eine gezeigt ist), der Lese-Matrixselektor 20 (wiederum gibt es zwei Leitungen, jeweils für die linke und die rechte Speichermatrix, von denen nur eine gezeigt ist), der Schreib-Zellenselektor 10 in Verbindung mit der linken Speichermatrix (es sei angenommen, daß die linke Speichermatrix zum Schreiben des ersten Datenelements bestimmt ist) und eine EMPTY-Signalleitung aus dem Statussignal-Generator 34, der vorher in Zusammenhang mit den Fig. 5A und 5B beschrieben wurde. Den fünf Eingabesignalen stehen acht Ausgabesignale gegenüber; davon werden fünf zu den Torschaltungen 26 gesandt, um durch geeignetes Öffnen und Schließen der Torschaltungen eine bestimmte Ausgabe zu wählen:

SEL (Auswahl links — die Torschaltungen sind so zu steuern, daß die Ausgabeleitung des Leseverstärkers von der linken Speichermatrix auf den Ausgabe-Pin geschaltet wird), SELR (wie SEL, nur wird jetzt anstelle der linken die rechte Speichermatrix angefordert), INDR (erstes Datenlesen — das Datenelement aus dem Anfangsdatenregister der linken Speichermatrix ist auf den Ausgabe-Pin zu legen), INDRR (wie INDR, nur ist anstelle der linken die rechte Speichermatrix angefordert), RTR (das Datenelement aus dem Übertragungsregister ist auf den Ausgabe-Pin zu schalten). Die anderen drei Ausgabesignale der Steuerschaltung 14 sind: INDW (macht das Anfangsdatenregister der linken Speichermatrix zur Aufnahme eines Datenelements bereit, das in dem Puffer-Speicher geschrieben wird), INDWR (wie INDW, nur wird das Anfangsdatenregister der rechten anstatt der linken Speichermatrix angesteuert), RTW (macht das Übertragungsregister zur Aufnahme eines Datenelements schreibbereit, das in den Puffer-Speicher geschrieben wird).

In einer abgewandelten Ausführungsform kann das Signal für den Leer-Zustand auch durch ein extern eingegebenes Startsignal ersetzt werden, auf das die Steuerschaltung 14 in der gleichen Weise wie auf das Leer-Signal reagieren würde. In einer weiteren Ausführungsform kann ein solches externes Startsignal auch zusätzlich zu dem Leer-Signal als weiteres Eingabesignal vorgesehen sein. In diesem Fall ist die Steuerschaltung so anzupassen, daß sie auf das zusätzliche Signal in der gleichen Weise wie auf das Leer-Signal reagiert.

Fig. 7 zeigt eine detailliertere Darstellung der Steuerschaltung 14 aus Fig. 6 zusammen mit ihren Eingabeverbindungen und Ausgabeleitungen. Von dem Schreib-Matrixselektor 8 erhält die Steuerschaltung zwei Eingabesignale, eines zum Auswählen der linken und eines zum Auswählen der rechten Speichermatrix; ebenso zwei Eingabesignale vom Lese-Matrixselektor 20 zum Auswählen der linken und rechten Speichermatrix. Ist der Puffer-Speicher leer (d.h. kein Datenelement ist eingeschrieben oder alle eingeschriebenen Datenelemente sind bereits wieder ausgelesen), so zeigt der Statussignal-Generator 34 diesen Zustand durch das EMPTY-Signal der Steuerschaltung 14 an. Bei Vorliegen dieses Zustands veranlaßt die Steuerschaltung, daß das nächste in den Puffer-Speicher geschriebene Datenelement von dem Anfangsdatenregister an der von dem Schreib-Matrixselektor 8 ausgewählten Speichermatrix aufgenommen wird, was durch die Signale INDW für das Anfangsdatenregister der linken Matrix und durch das Signal INDWR (für das Anfangsdatenregister der rechten Matrix) gesteuert wird. Ebenfalls veranlaßt die Steuerschaltung bei diesem Zustand, daß das nächste aus dem Puffer-Speicher auszugebende Datenelement aus dem Anfangsdatenregister entnommen wird, das das nach Vorliegen des Leer-Zustands erste in den Puffer-Speicher geschriebene Datenelement enthält; diese Steuerung wird durch das Signal INDR zum Lesen des mit der linken Speichermatrix 6 verbundenen Anfangsdatenregisters und durch das Signal INDRR zum Lesen des zur rechten Matrix gehörenden Anfangsdatenregisters vorgenommen.

Die Steuerschaltung 14 reagiert auf ein Signal des Schreib-Zellenselektors 10 der linken Matrix — angenommen, daß die erste Zellenposition in der linken Speichermatrix liege — in der Weise, daß jedes Mal, wenn diese erste Position zum Schreiben ausgewählt ist, die Steuerschaltung durch Ausgabe des Signals RTW das Übertragungsregister zur Aufnahme dieses in die erste

Zellposition geschriebenen Datenelements bereit-
macht; so wird der Inhalt des Übertragungsregisters
ständig aktualisiert und enthält immer das neueste in der
ersten Zellposition des Puffer-Speichers abgespeicherte
Datenelement. Liegt ein extern eingegebenes Signal
RETRANSMIT an der Steuerlogik 14 an, so gibt die
Steuerschaltung das Signal RTR aus, was die Torschalt-
ungen zum Durchschalten des Übertragungsregisters
auf den Ausgangstreiber 28 veranlaßt, wie in Fig. 1 ge-
zeigt.

Liegt kein EMPTY- oder RETRANSMIT-Signal vor,
so wird die Steuerschaltung durch Signale des Lese-Ma-
trixselektors 20 aktiviert, um die jeweiligen Leseverstär-
kerausgaben in alternierender Weise auf den Ausgangs-
treiber durchzuschalten: Erst von der einen Matrix,
dann von der anderen, wieder von der einen Matrix
usw., was durch die Ausgabesignale SEL und SELR ge-
steuert wird (SEL zum Durchschalten der Leseverstär-
kerausgabe der linken Matrix, SELR zum Durchschal-
ten der Leseverstärkerausgabe der rechten Matrix). Das
von dem jeweiligen Leseverstärker auf den Ausgangs-
treiber geschaltete Datenelement wurde bereits im vor-
hergehenden Lesezyklus auf der Ausgabeleitung des
Leseverstärkers bereitgestellt. Soll der Inhalt eines An-
fangsdatenregisters oder des Übertragungsregisters
ausgegeben werden, so unterdrückt die Steuerschaltung
die Erzeugung von sonst zur Ausgabe notwendigen
SEL- oder SELR-Signalen. Diese Unterdrückung ge-
schieht durch eine INIT 1-Schaltung für das SEL-Signal
und durch eine weitere INIT 1-Schaltung für das SELR-
Signal. So verhindern die INIT 1-Schaltungen ein
Durchschalten der Ausgabeleitung des jeweiligen Lese-
verstärkers, wenn der Inhalt entweder eines Anfangsda-
tenregisters oder des Übertragungsdatenregisters aus-
gegeben werden soll. Jedoch wird auch während einer
solchen Unterdrückung das nächste Datenelement aus
einer Speicherzelle ausgelesen und auf die Ausgabelei-
tung des jeweiligen Leseverstärkers gelegt, was durch
die anderen Schaltungen in Fig. 1 erreicht wird.

Die bevorzugte Ausführungsform der Steuerschal-
tung 14 ist mit den Komponenten INIT 1, RTR, SEL,
INDW, INDR, SELR, INDWR, INDRR und RTW ge-
zeigt, die alle als Schaltungen von monostabilen Kipp-
stufen und/oder D-Flip-Flops aufgebaut sind. Natürlich
kann die Steuerschaltung durch verschiedenartige
Schaltkreise aufgebaut werden, wenn diese die acht
Ausgabesignale in der vorgegebenen Weise aus den
fünf Eingangssignalen erzeugen. Für die hier beschrie-
bene Ausführungsform sind die Eingabe/Ausgabe-Spe-
zifikationen als Funktionstabellen der einzelnen Schal-
tungseinheiten in den Fig. 10A bis 10F dargestellt. Bei-
spielhaft seien hier die Funktionstabellen der Kompo-
nenten RTR und SEL erläutert. Wie Fig. 10A zu entneh-
men ist, gibt die RTR-Einheit gesteuert durch die An-
stiegsflanke eines RETRANSMIT-Signals einen RTR-
Signalpuls aus. Die Funktionstabelle in Fig. 10B zeigt,
daß die SEL-Einheit auf die Anstiegsflanke eines Signals
aus dem Lese-Matrixselektor einen Puls ausgibt, falls in
Koinzidenz ein Signal aus der INIT 1-Einheit anliegt.
Fig. 10C ist die Funktionstabelle der INDW-Einheit,
Fig. 10D die der INIT 1-Einheit, Fig. 10E die der RTW-
Einheit und Fig. 10F die der INDR-Einheit.

Durch ein RETRANSMIT-Signal wird der Puffer-
Speicher zum Wiederauslesen der gespeicherten Daten
vorbereitet. Folglich muß auf ein extern eingegebenes
RETRANSMIT-Signal die vorgegebene Auslesefolge
des Puffer-Speichers in den Ausgangszustand zurück-
versetzt werden; dies bedeutet, daß der Lese-Matrixse-

lektor und die Lese-Zellenselektoren auf die erste Zelle
des Puffer-Speichers zeigen müssen. In der bevorzugten
Ausführungsform wird dies durch eine einfache Schal-
tung erreicht, die den Lese-Matrixselektor 20 und die
Lese-Zellenselektoren 22 aus Fig. 1 in ihrer Ausgangs-
stellung zurücksetzt. In Fig. 8 ist eine Lesezeiger-Rück-
setzschaltung 54 verbunden mit den als einzelne Blöcke
dargestellten Lese-Matrixselektor 20 und einem Lese-
Zellenselektor 22 gezeigt. In dem auf das Rücksetzsignal
folgende Lesezyklus verursacht die Steuerschaltung 14
die Ausgabe des Datenelements aus dem Übertragungs-
register. Anschließend wird der Inhalt des Puffer-Spei-
chers in den nachfolgenden Lesezyklen in der schon
erläuterten Weise des parallelen Voraus-Lesens ausgege-
ben.

Die Steuerschaltung betreibt den Puffer-Speicher un-
ter folgenden Bedingungen in einem Durchfluß-Modus:
Wenn ein Leersignal vorliegt, kein READ CLK-Lese-
puls den Lese-Matrixselektor aktiviert und ein Schreib-
zyklus durch Aktivieren des Schreib-Matrixselektors
eintritt, so wird das in diesem Zyklus eingeschriebene
Datenelement nach Abschluß des Schreibzyklus aus ein-
em Anfangsdatenregister auf den Ausgangstreiber ge-
geben.

In einer Ausführungsform, in der die Möglichkeit zur
Eingabe eines externen Rücksetzsignals vorgesehen ist,
wird der Puffer-Speicher durch das externe Rücksetz-
signal in den Ausgangszustand versetzt, was durch Rück-
setzen von Schreib-Matrixselektor 8, Schreib-Zellense-
lektor 10, Lese-Matrixselektor 20, Lese-Zellenselektor
22 und von Schreib- und Lesezähler 42, 44 im Statussi-
gnalgenerator 34 geschieht. Das Rücksetzen von
Schreib-Matrixselektor, Schreib-Zellenselektoren, Le-
se-Matrixselektor und Lese-Zellenselektoren durch ein
Rücksetzsignal kann genauso ausgeführt werden wie
beim Rücksetzen von Lese-Matrixselektor und Lese-
Zellenselektoren aufgrund eines RETRANSMIT-Sig-
nals. Zum Rücksetzen der Schreib- und Lesezähler im
Statussignal-Generator 34 dienen einfache Schaltkreise,
die die Zähler mit Null initialisieren. Fig. 9 zeigt eine
Rücksetzschaltung 56, die ein externes Rücksetzsignal
empfängt, in Verknüpfung mit dem Statussignal-Ge-
nerator 34, dem Schreib-Matrixselektor 8, dem Schreib-
Zellenselektor 10, dem Lese-Matrixselektor 20 und mit
dem Lese-Zellenselektor 22.

Die vorliegende Erfindung ist nicht auf serielle Spei-
cher beschränkt, die eine FIFO-Reihenfolge zum
Schreiben und Lesen der Daten verwenden. Das erfin-
dungsgemäße parallele Voraus-Lesen kann in allen se-
riellen Speichern Anwendung finden, in denen die Rei-
henfolge der Eingabedaten die Ausgabereihenfolge de-
finiert, wie z.B. in LIFO-Speichern (last-in-first-out). Für
den Fachmann sind Variationsmöglichkeiten der hier
beschriebenen Schaltungen zur Realisierung ihrer
Funktionen offensichtlich. Die speziellen Ausführungs-
formen sollen erläuternden Charakter haben und den
Bereich der folgenden Ansprüche nicht einschränken.

Patentansprüche

1. Serieller Speicher zum Einschreiben einer Folge
von Datenelementen mit einer zugeordneten Folge
von Schreibsignalen, von denen jedes einen
Schreibzyklus auslöst, in dem das dem Schreibzy-
klus zugeordnete Datenelement in den Speicher
geschrieben wird, und durch eine Folge von Lesesi-
gnalen ansteuerbar, von denen jedes einen Lesezy-
klus auslöst, zum Lesen und Ausgeben gespeicher-

ter Datenelemente aus dem seriellen Speicher in einer Reihenfolge, die durch die Reihenfolge festgelegt wird, mit der die Datenelemente in den seriellen Speicher eingeschrieben wurden, gekennzeichnet durch:

- eine Mehrzahl von Speichermatrizen mit jeweils einer Mehrzahl von Speicherzellen;
- eine Mehrzahl von Schreib-Zellenselektionseinrichtungen, die jeweils mit einer zugehörigen Speichermatrix verbunden sind und zur Auswahl einer Zelle, entsprechend einer ersten vorgegebenen Reihenfolge, zum Abspeichern eines Datenelements in der Matrix dienen;
- eine Schreib-Matrixselektionseinrichtung, die von jedem der aufeinanderfolgenden Schreibsignale angesteuert wird, um eine der Speichermatrizen durch Aktivierung der zugehörigen Schreib-Zellenselektionseinrichtung auszuwählen, entsprechend einer zweiten vorgegebenen Reihenfolge;
- eine Mehrzahl von Lese-Zellenselektionseinrichtungen, die jeweils mit einer Speichermatrix verbunden sind und zur Auswahl einer Zelle, entsprechend einer dritten vorgegebenen Reihenfolge, in der Matrix dienen;
- eine Lese-Matrixselektionseinrichtung, die von jedem der aufeinanderfolgenden Lesesignale angesteuert wird, um eine der Speichermatrizen durch Aktivierung der zugehörigen Lese-Zellenselektionsrichtungen auszuwählen, entsprechend einer vierten vorgegebenen Reihenfolge;
- eine Mehrzahl von Ausleseeinrichtungen, von denen jede mit einer Speichermatrix verbunden ist und zum Auslesen einer Speicherzelle darin dient, die durch die zugehörige Lese-Zellenselektionseinrichtung ausgewählt ist;
- ein Anfangsdatenregister zum Speichern eines ausgezeichneten Elements aus der Folge der Datenelemente;
- eine Ausgabereinrichtung, die durch ein einziges Lesesignal aus der Folge der Lesesignale zur Ausgabe des im Anfangsdatenregister gespeicherten Datenelements und durch jedes nachfolgende Lesesignal in der Folge der Lesesignale zur Ausgabe eines Datenelements veranlaßt wird, das in einem früheren Lesezyklus entsprechend einem vorangehenden Lesesignal ausgelesen wurde;
- wodurch das Lesen des seriellen Speichers parallel ausgeführt wird, indem ein Datenelement in einem Lesezyklus ausgegeben wird und in demselben Lesezyklus das als nächstes auszugebende Datenelement ausgelesen wird.

2. Speicher nach Anspruch 1, dadurch gekennzeichnet, daß jeder aus der Mehrzahl der Speichermatrizen ein eigenes Anfangsdatenregister zugeordnet ist, der weiterhin aufweist:

- Mittel zur Auszeichnung eines Datenelements aus der Folge als das ausgezeichnete Datenelement;
- eine Einrichtung zur Auswahl des Anfangsdatenregisters, die durch die Auszeichnungsmittel gesteuert eines der Anfangsdatenregister zum Speichern des ausgezeichneten Datenelements auswählt.

3. Speicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß

kennzeichnet, daß

- die Ausgabereihenfolge mit der Eingabereihenfolge in einer FIFO-Beziehung steht, so daß die Datenelemente in der gleichen Reihenfolge ausgegeben werden, in der sie in den Speicher geschrieben wurden.

4. Speicher nach Anspruch 3, dadurch gekennzeichnet, daß

- eine Statussignaleinrichtung zur Erzeugung eines Leer-Signals zur Anzeige dafür vorhanden ist, daß entweder alle Datenelemente, die in die durch besagte Schreib-Selektionseinrichtungen ausgewählten Speicherzellen eingeschrieben wurden, ausgelesen sind oder daß aus der Folge der Datenelemente keines in dem Puffer-Speicher geschrieben wurde;
- die Auszeichnungsmittel in dem erzeugten Leer-Signal bestehen, wodurch das nach dem Leer-Signal als nächstes in den Speicher zu schreibende Datenelement als das ausgezeichnete bestimmt wird.

5. Speicher nach Anspruch 4, dadurch gekennzeichnet, daß

- die Folge von Schreibsignalen ein Schreibsignal enthält, das dem ausgezeichneten Datenelement zugeordnet ist;
- wodurch das ausgezeichnete-Datenelement sowohl in eine Speicherzelle geschrieben als auch in einem Anfangsdatenregister gespeichert wird.

6. Speicher nach Anspruch 3, dadurch gekennzeichnet, daß

- jede Schreibleitung, die Daten in die Speicherzellen überträgt, durch die Speichermatrix hindurch zum Anschluß an einen Anfangsdatenregister weiterführt.

7. Speicher nach Anspruch 3, ferner gekennzeichnet durch:

- ein Übertragungsregister;
- Mittel zum Speichern des ausgezeichneten Datenelements in dem Übertragungsregister;
- Übertragungsmittel, die durch ein extern eingegebenes Übertragungssignal gesteuert werden, um die dritte und vierte der vorgegebenen Folgen zurückzusetzen und um die Ausgabereinrichtung in dem auf das Übertragungssignal folgenden Lesezyklus zu unterbrechen und zur Ausgabe des Inhalts des Übertragungsregisters in diesem Lesezyklus zu veranlassen.

8. Speicher nach Anspruch 3, dadurch gekennzeichnet, daß

- die Mehrzahl von Speichermatrizen lediglich eine erste und eine zweite Speichermatrix umfaßt;
- die zweite und vierte der vorgegebenen Folgen alternierend zwischen der ersten und zweiten Speichermatrix wechseln, jedes Mal wenn die Folge der Datenelemente um eines weiterläuft.

9. Speicher nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die Ausgabereinrichtung zur Ausgabe eines Datenelements veranlaßt wird, das aus einer Speicherzelle ausgelesen wird, die in einem früheren Lesezyklus entsprechend einem vorangehenden Lesesignal ausgewählt wurde, wodurch das Lesen des Speichers parallel ausgeführt wird, indem ein Datenelement in einem Lesezyklus

ausgegeben wird und in demselben Lesezyklus die Speicherzelle des als nächstem auszugebenden Datenelements ausgewählt wird.

10. Verfahren zur parallelen Durchführung der Lese-Operationen eines seriellen Speichers, in dem die Ausgabereihenfolge der Datenelemente durch die Reihenfolge definiert wird, mit der sie in dem seriellen Speicher geschrieben wurden, durch Voraus-Lesen einer Speicherzelle in einem durch einen aktuellen Lesebefehl zugeordneten Lesezyklus, die das im nächsten Lesezyklus durch den nächstfolgenden Lesebefehl angeforderte und auszugebende Datenelement enthält, während das durch den aktuellen Lesebefehl angeforderte Datenelement ausgegeben wird, ohne daß die Speicherzelle mit dem aktuellen angeforderten Datenelement in diesem Lesezyklus ausgelesen wird, gekennzeichnet durch die Schritte:

- Abspeichern eines ausgezeichneten Elements aus der Folge der Datenelemente in einem Anfangsdatenregister;
- abwechselndes Schreiben der nachfolgenden Datenelemente in eine Mehrzahl von Speichermatrizen, die jeweils eine Mehrzahl von Speicherzellen haben, entsprechend einer ersten vorgegebenen Reihenfolge der Matrixauswahl und entsprechend einer zweiten vorgegebenen Reihenfolge der Zellenauswahl innerhalb jeder Matrix;
- in einem einzigen Lesezyklus Ausgabe des ausgezeichneten Datenelements aus dem Anfangsdatenregister und Auslesen der Speicherzelle mit dem als nächstem von dem seriellen Speicher auszugebenden Datenelement;
- in jedem auf den einzigen Lesezyklus folgenden Lesezyklus Ausgabe eines Datenelements, das bereits in einem früheren Lesezyklus aus einer Speicherzelle ausgelesen wurde, und Auslesen der Speicherzelle mit dem als nächsten von dem seriellen Speicher auszugebenden Datenelement.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß

- die Ausgabereihenfolge mit der Eingabereihenfolge in einer FIFO-Beziehung steht, so daß die Datenelemente in der gleichen Reihenfolge ausgegeben werden, in der sie in den Speicher geschrieben wurden.

12. Verfahren nach Anspruch 11, gekennzeichnet durch den weiteren Schritt:

- Bereithalten jedes ausgelesenen Datenelements auf einer Ausgabeleitung, bis das Datenelement von der Ausgabeleitung in besagtem Ausgabeschritt ausgegeben wird.

13. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß in einem weiteren Schritt das Zurücksetzen des seriellen Speichers ausgelöst durch ein externes Rücksetzsignal beinhaltet, wobei das Zurücksetzen die Schritte enthält:

- Zurücksetzen der ersten und zweiten vorgegebenen Folgen an ihren Ausgangspunkt;
- Bezeichnen des nächsten eingeschriebenen Datenelements als das in der Folge der Datenelemente ausgezeichnete;
- Festlegen des nächsten Lesezyklus als besagten einzigen Lesezyklus.

14. Verfahren nach Anspruch 11, gekennzeichnet durch die weiteren Schritte:

- Erzeugung eines Leer-Signals, wenn alle in dem Schreibschritt in Speicherzellen geschriebenen Datenelemente ausgelesen wurden oder in dem Schreibschritt kein Datenelement in eine Speicherzelle geschrieben wurde; und
- veranlaßt durch das Leer-Signal Zurücksetzen der ersten und zweiten vorgegebenen Folge an ihren Ausgangspunkt,
- Bezeichnen des nächsten eingeschriebenen Datenelements als das ausgezeichnete Datenelement in der Folge der Datenelemente, und
- Festlegen des nächsten Lesezyklus als besagten einzigen Lesezyklus.

15. Verfahren nach Anspruch 11, gekennzeichnet durch die weiteren Schritte:

- Abspeichern des ausgezeichneten Datenelements in einem Übertragungsregister; und
- Übertragen des Puffer-Speichers auf ein extern eingegebenes Übertragungssignal hin, wobei der Übertragungsschritt beinhaltet:
- Festlegen des nächsten Lesezyklus als besagten einzelnen Lesezyklus;
- Einsetzen des Übertragungsregisters anstelle des Anfangsdatenregisters im Ausgabeschritt des besagten einzigen Lesezyklus.

16. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß in jedem auf den einzigen Lesezyklus folgenden Lesezyklus ein Datenelement ausgegeben wird, das aus einer bereits in einem früheren Lesezyklus ausgewählten Speicherzelle ausgelesen wird, und Auswählen der Speicherzelle mit dem als nächstes von dem seriellen Speicher auszugebenden Datenelement.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß

- die Ausgabereihenfolge mit der Eingabereihenfolge in einer FIFO-Beziehung steht, so daß die Datenelemente in der gleichen Reihenfolge ausgegeben werden, in der sie in den Speicher geschrieben wurden.

Hierzu 14 Seite(n) Zeichnungen

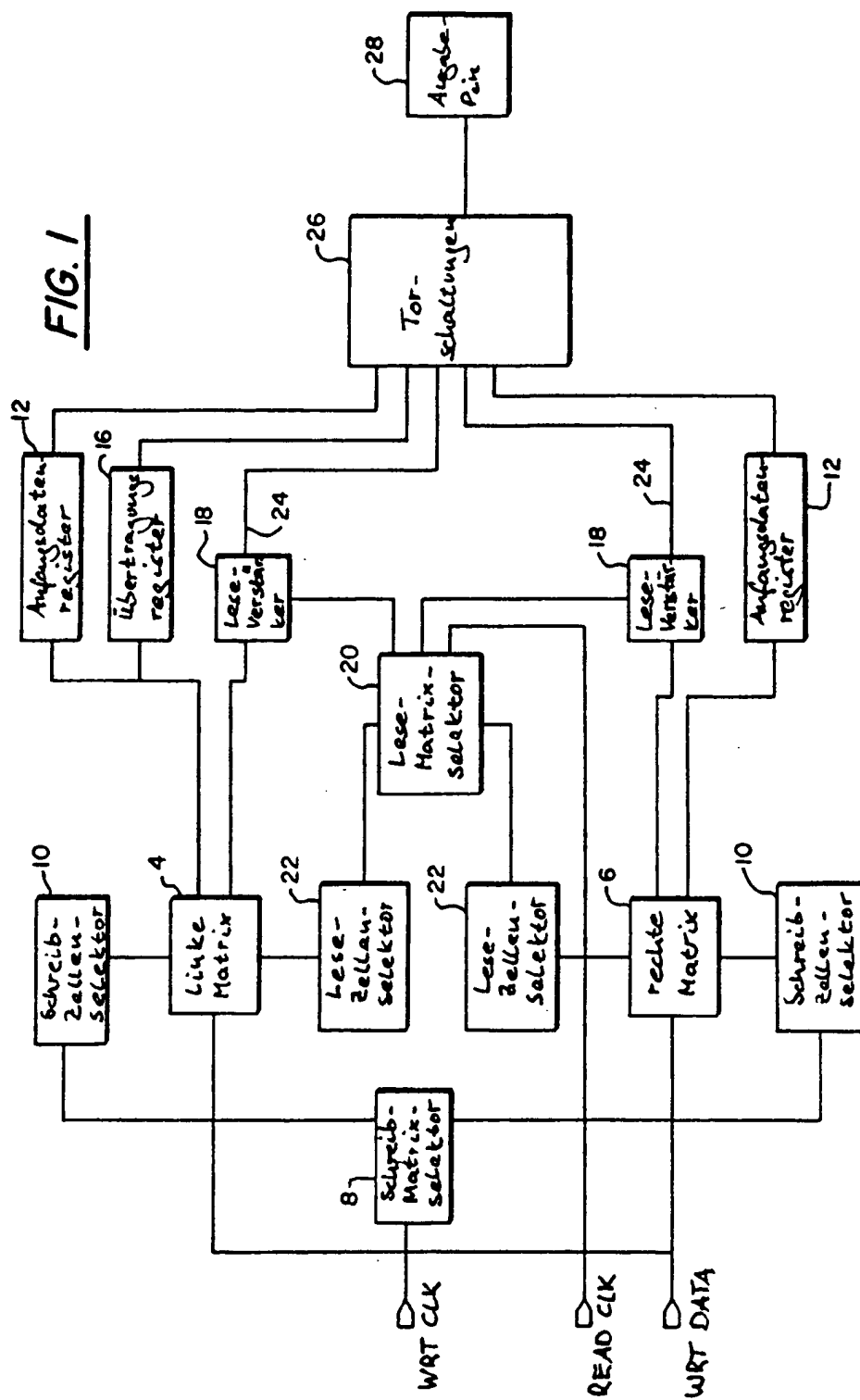


FIG. 2B

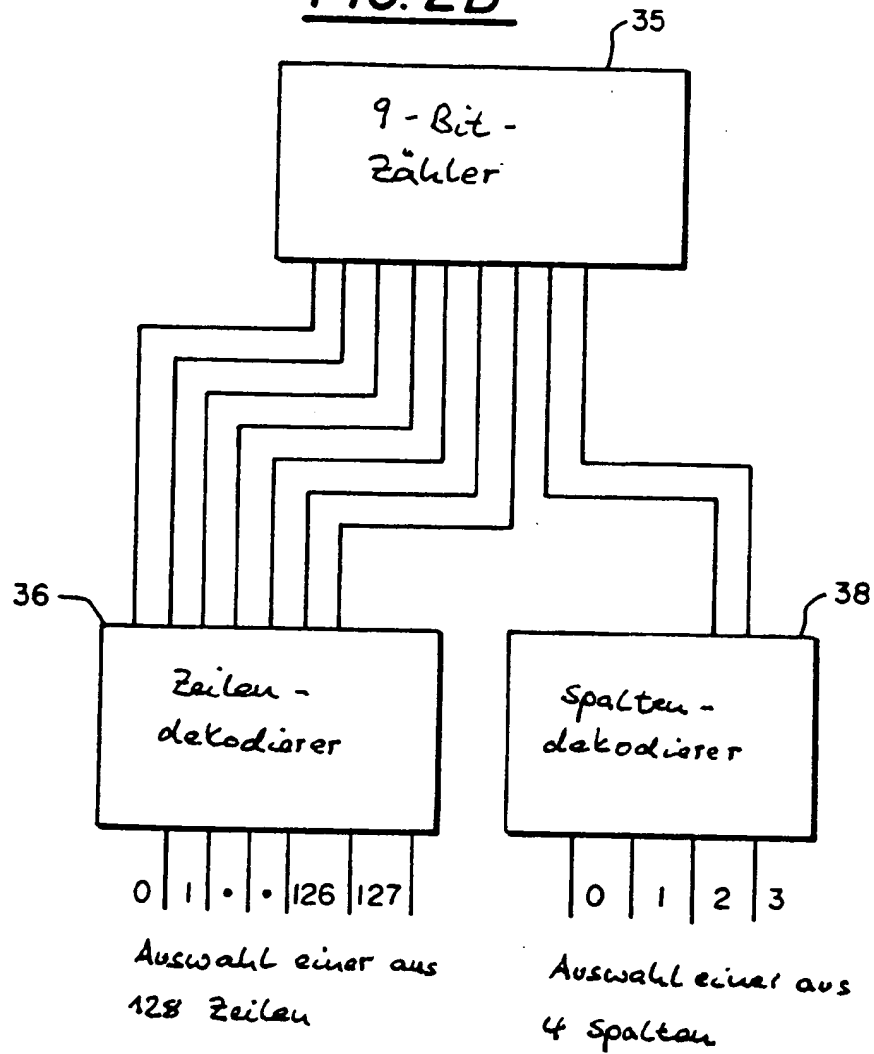


FIG. 2C

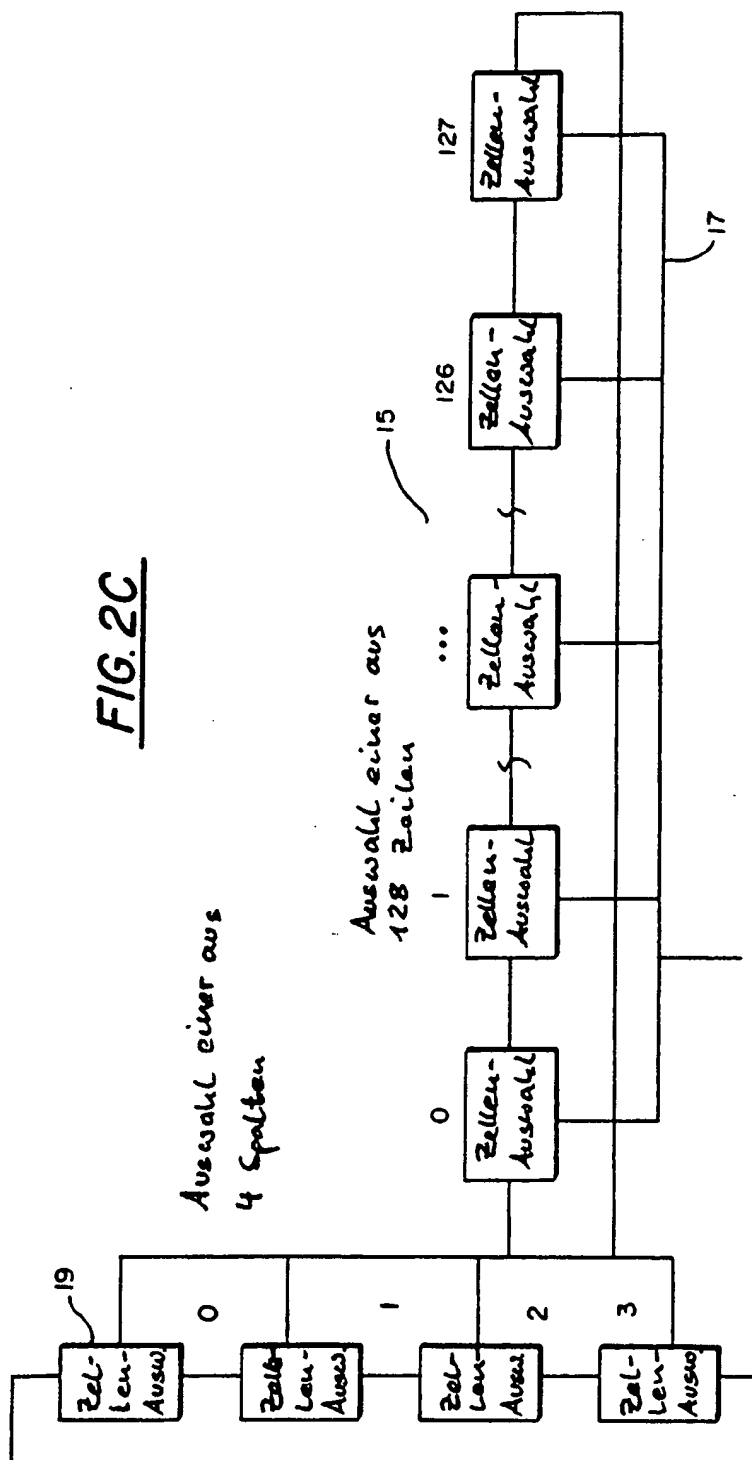


FIG. 3A

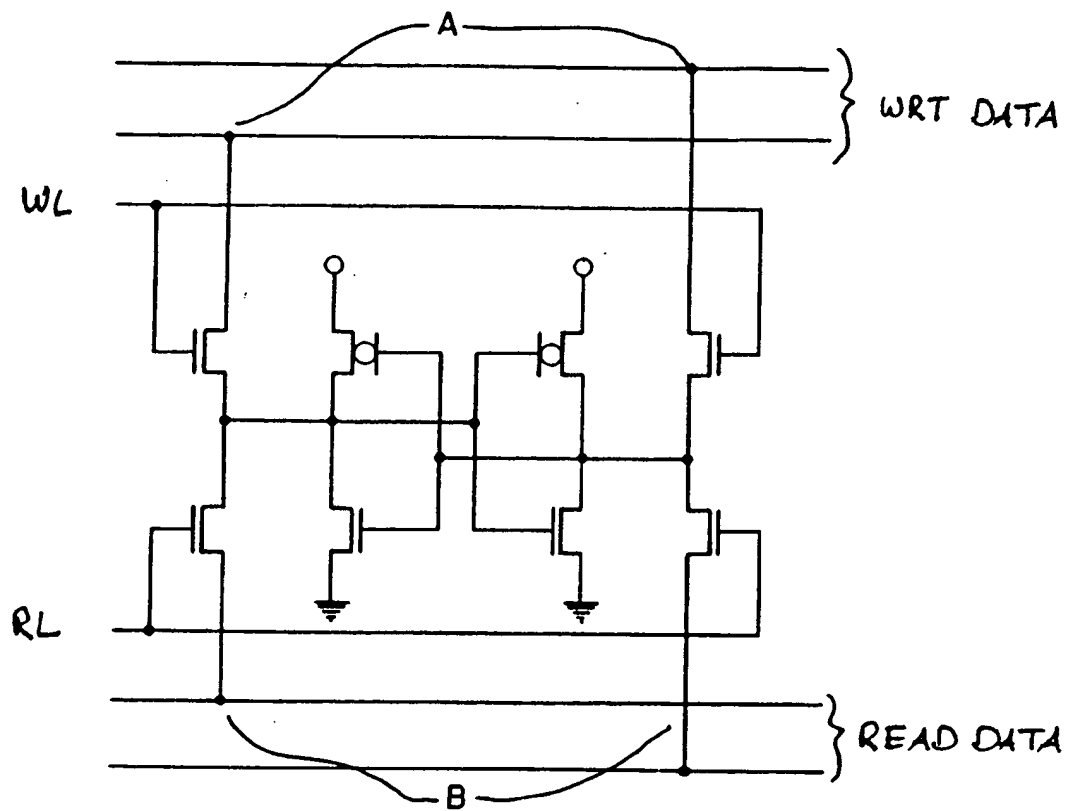


FIG. 3B

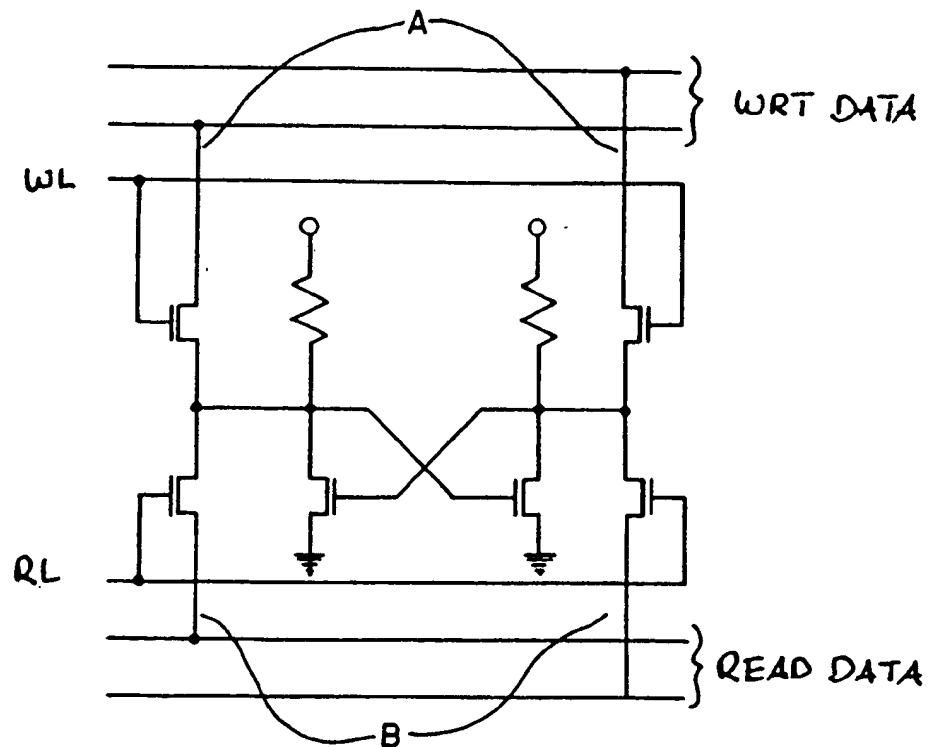


FIG. 4

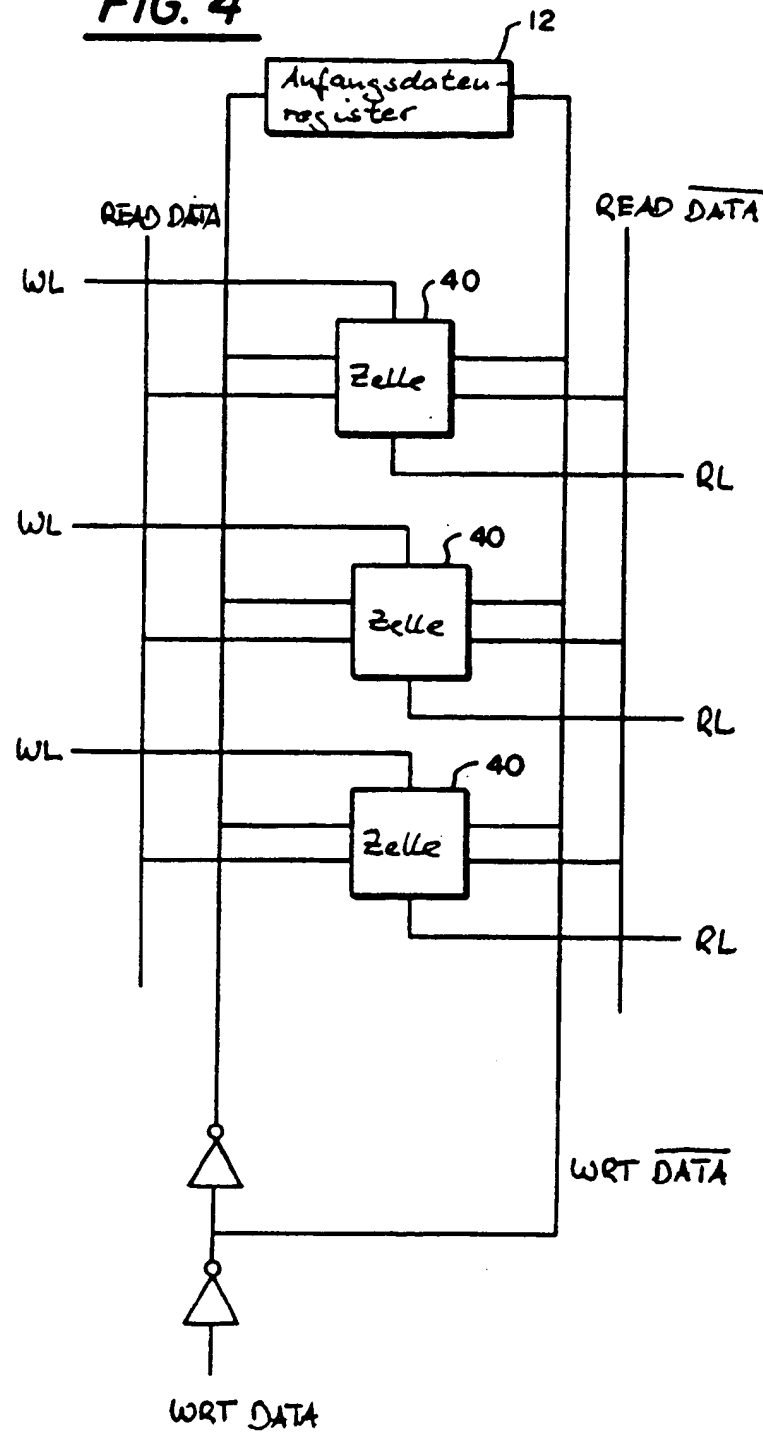


FIG. 5A

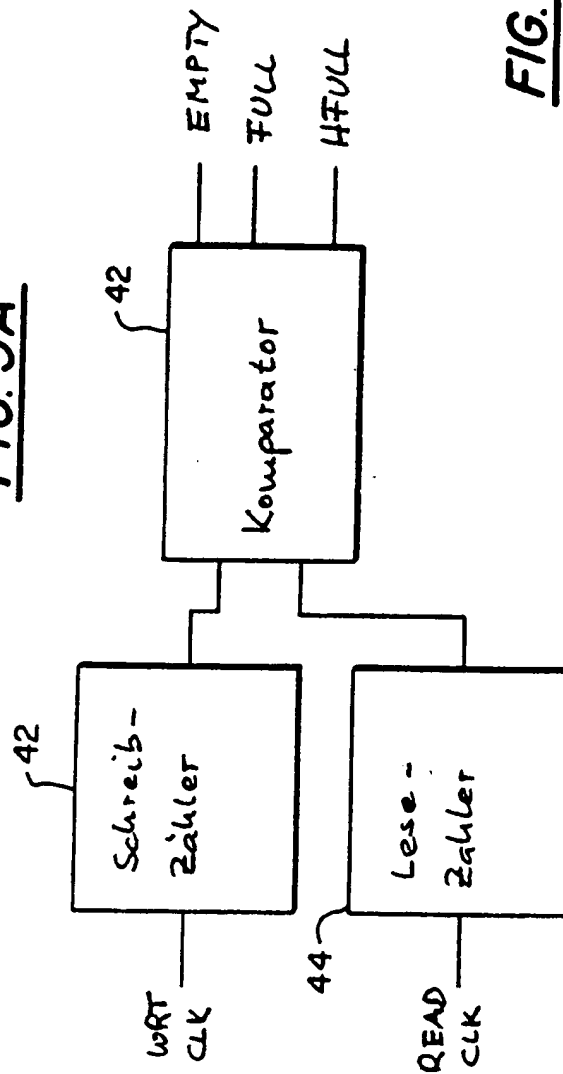
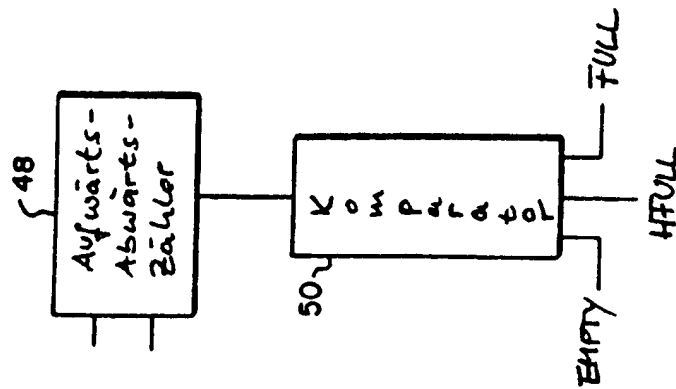
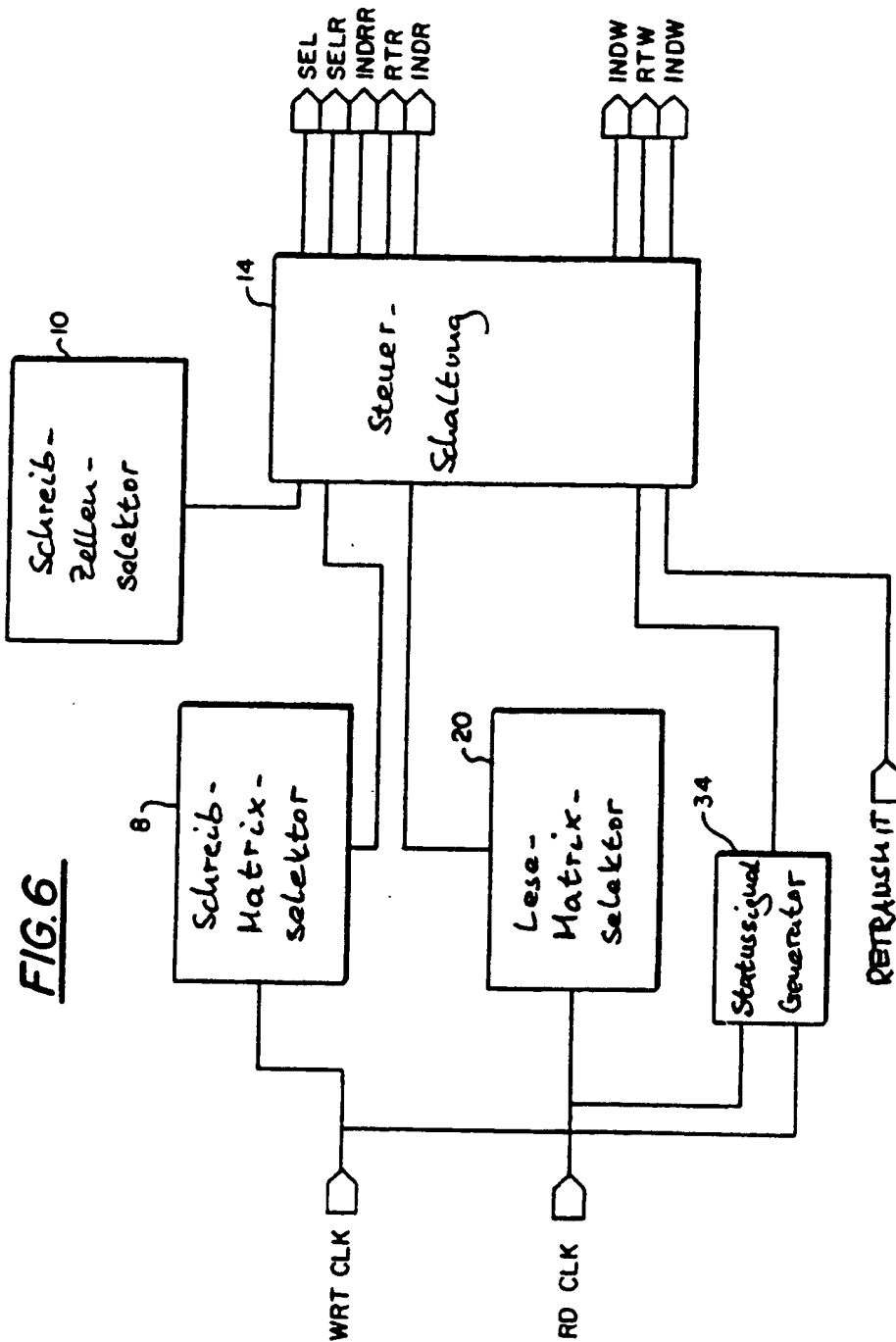


FIG. 5B





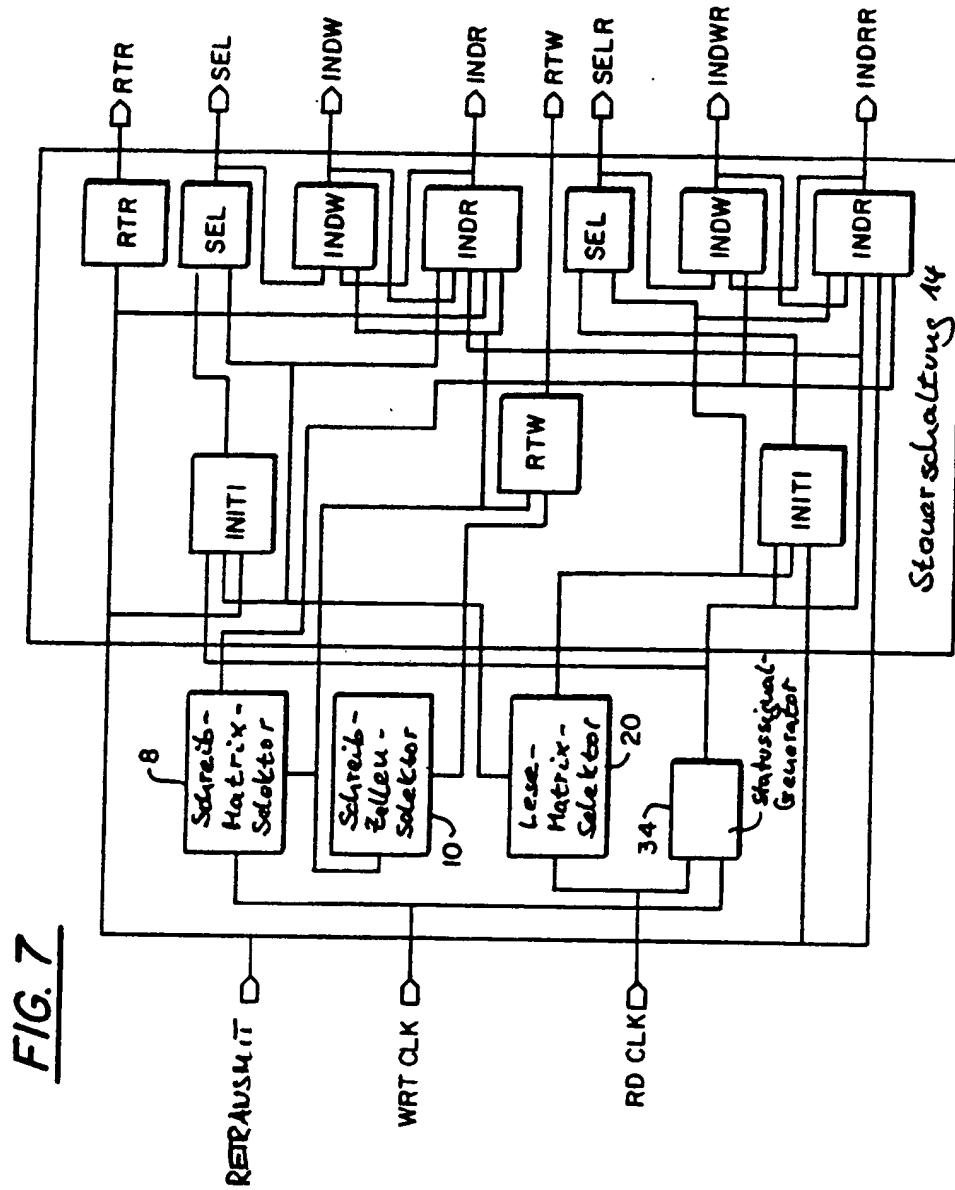


FIG. 9

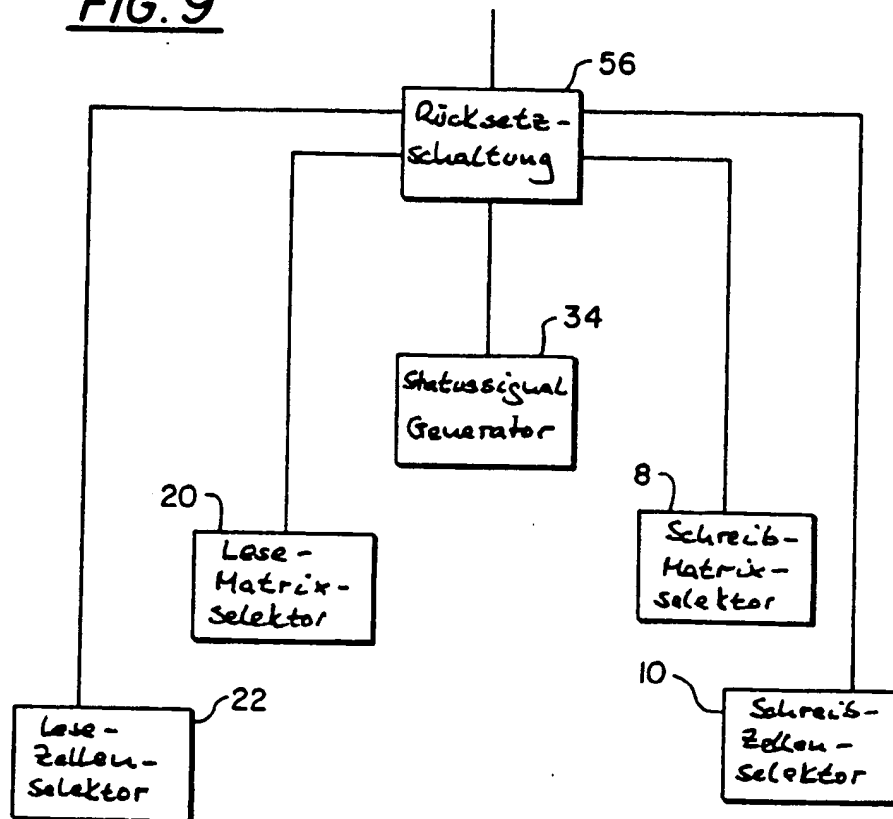


FIG. 8

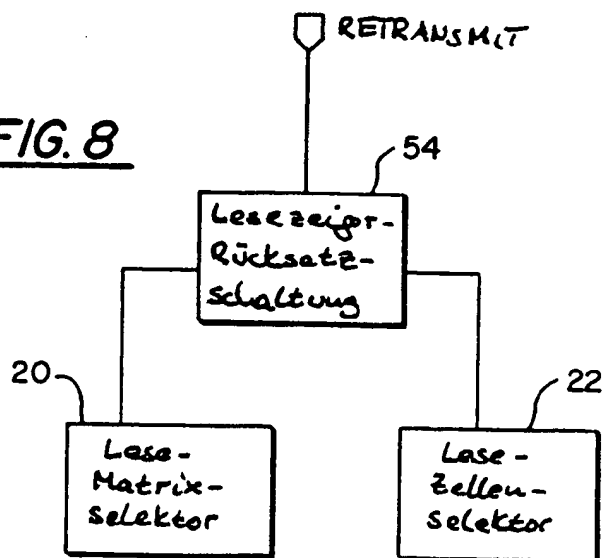


FIG. 10A

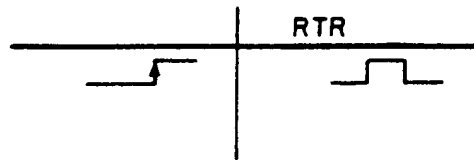


FIG. 10B

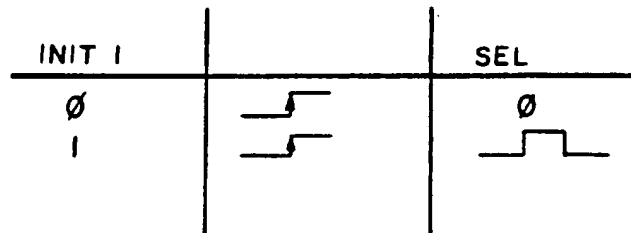


FIG. 10C

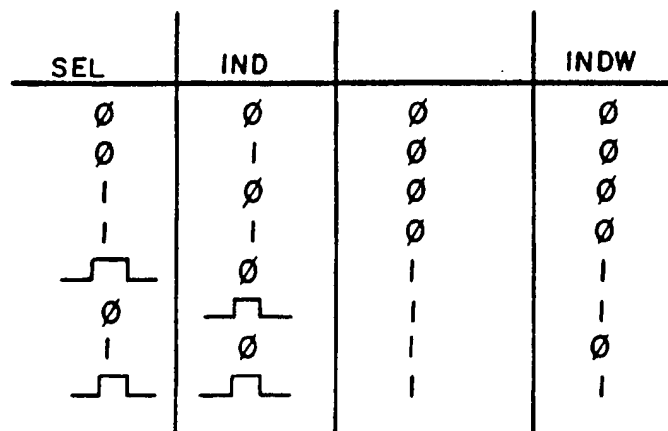


FIG. 10D

EF			INIT 1 (t-)	INIT 1 (t+)
Ø	X	X	Ø	Ø
—	—	—	Ø	—
—	—	—	Ø	—
Ø	X	X	—	Ø
—	—	—	—	—
—	—	—	—	—

FIG. 10E

		RTW
Ø	Ø	Ø
—	—	Ø
—	Ø	Ø
—	—	—

FIG. 10F

